

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

SANG-DEOK KIM

Application No.:

Filed:

For: **Method for Fabricating Capacitor In
Semiconductor Device**

Art Group:

Examiner:

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

REQUEST FOR PRIORITY

Sir:

Applicant respectfully requests a convention priority for the above-captioned application, namely:

| COUNTRY | APPLICATION NUMBER | DATE OF FILING |
|---------|-----------------------|------------------|
| Korea | 10-2002-0086253 | 30 December 2002 |

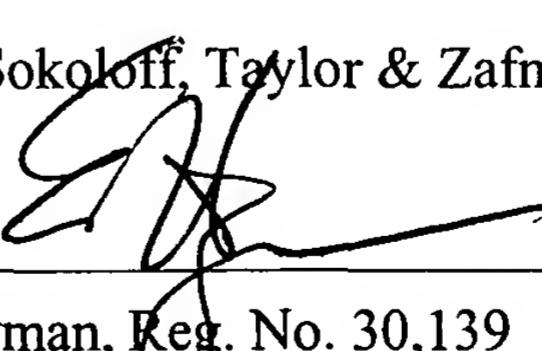
A certified copy of the document is being submitted herewith.

Dated: 7/15/03

12400 Wilshire Blvd., 7th Floor
Los Angeles, California 90025
Telephone: (310) 207-3800

Respectfully submitted,

Blakely, Sokoloff, Taylor & Zafman LLP


Eric S. Hyman, Reg. No. 30,139

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0086253
Application Number

출원년월일 : 2002년 12월 30일
Date of Application DEC 30, 2002

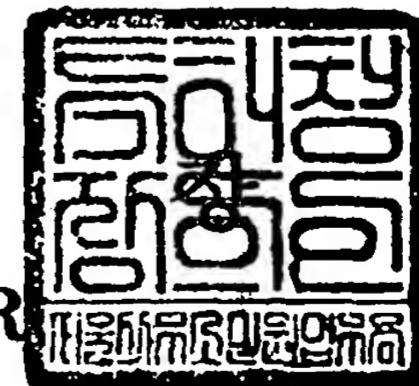
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003년 05월 14일

특허청

COMMISSIONER





1020020086253

출력 일자: 2003/5/15

【서지사항】

| | | | |
|------------|--|---|-----------|
| 【서류명】 | 특허출원서 | | |
| 【권리구분】 | 특허 | | |
| 【수신처】 | 특허청장 | | |
| 【참조번호】 | 0025 | | |
| 【제출일자】 | 2002. 12. 30 | | |
| 【발명의 명칭】 | 반도체장치의 캐패시터 제조방법 | | |
| 【발명의 영문명칭】 | Method for fabricating capacitor in semiconductor device | | |
| 【출원인】 | | | |
| 【명칭】 | 주식회사 하이닉스반도체 | | |
| 【출원인코드】 | 1-1998-004569-8 | | |
| 【대리인】 | | | |
| 【명칭】 | 특허법인 신성 | | |
| 【대리인코드】 | 9-2000-100004-8 | | |
| 【지정된변리사】 | 변리사 정지원, 변리사 원석희, 변리사 박해천 | | |
| 【포괄위임등록번호】 | 2000-049307-2 | | |
| 【발명자】 | | | |
| 【성명의 국문표기】 | 김상덕 | | |
| 【성명의 영문표기】 | KIM, Sang Deok | | |
| 【주민등록번호】 | 680208-1122211 | | |
| 【우편번호】 | 467-850 | | |
| 【주소】 | 경기도 이천시 대월면 사동리 현대사원아파트 106-404 | | |
| 【국적】 | KR | | |
| 【심사청구】 | 청구 | | |
| 【취지】 | 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인 특허법인 신성 (인) | | |
| 【수수료】 | | | |
| 【기본출원료】 | 19 | 면 | 29,000 원 |
| 【가산출원료】 | 0 | 면 | 0 원 |
| 【우선권주장료】 | 0 | 건 | 0 원 |
| 【심사청구료】 | 4 | 항 | 237,000 원 |
| 【합계】 | 266,000 원 | | |



1020020086253

출력 일자: 2003/5/15

【첨부서류】

1. 요약서·명세서(도면)_1통



1020020086253

출력 일자: 2003/5/15

【요약서】

【요약】

본 발명은 상기의 문제점을 해결하기 위해 제안된 것으로, 하나의 캐패시터 형성용 희생막을 사용하여 구조적으로 안정한 형상의 하부전극을 제조할 수 있는 캐패시터 제조방법을 제공하기 위한 것으로, 이를 위해 본 발명은 기판상에 캐패시터가 형성될 높이 만큼 -플라즈마인핸스 화학기상증착법을 이용하여 높이가 높아질수록 식각선택비가 낮아 지도록- 캐패시터 형성용 희생막을 형성하는 단계; 습식식각공정을 이용하여 캐패시터가 형성될 영역의 상기 캐패시터 형성용 희생막을 선택적으로 제거하여 캐패시터 형성용 홀을 형성하는 단계; 상기 캐패시터 형성용 홀의 내부에 하부전극을 형성하는 단계; 상기 캐패시터 형성용 희생막을 제거하는 단계; 상기 하부전극 상에 유전체 박막을 형성하는 단계; 및 상기 유전체 박막상에 상부전극을 형성하는 단계를 포함하는 반도체 장치의 캐패시터 제조방법을 제공한다.

【대표도】

도 6b

【색인어】

반도체, 캐패시터, 실린더, 하부전극, 캐패시터홀.

【명세서】**【발명의 명칭】**

반도체장치의 캐패시터 제조방법{Method for fabricating capacitor in semiconductor device}

【도면의 간단한 설명】

도1a 및 도1b는 종래기술에 의한 실린더형 캐패시터 제조방법을 나타내는 공정단면도.

도2는 종래기술에 의해 문제점을 나타내는 전자현미경 사진.

도3a 및 도3b는 개선된 종래기술에 의한 실린더형 캐패시터 제조방법을 나타내는 공정단면도.

도4a 및 도4b는 개선된 종래기술에 의해 형성된 캐패시터 형성용 홀의 단면을 나타내는 전자현미경 사진.

도5는 개선된 종래기술의 문제점을 나타내는 전자현미경 사진.

도6a 내지 도6c은 본 발명의 바람직한 실시예에 따른 반도체 캐패시터 제조방법을 나타내는 공정단면도.

도7은 공정변수에 따른 TEOS막의 식각선택비와 증착비를 나타내는 표.

<도면의 주요부분에 대한 부호의 설명>

30 : 기판

31 : 활성영역

32 : 충간절연막

33 : 콘택플러그

34 : 캐패시터 형성용 희생막

35 : 캐패시터 형성용 홀

36 : 하부전극

37 : 유전체 박막

38 : 상부전극

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<18> 본 발명은 반도체 제조기술에 관한 것으로, 특히 반도체 소자의 캐패시터 제조방법에 관한 것이다.

<19> 반도체 소자, 특히 DRAM(Dynamic Random Access Memory)의 반도체 메모리의 집적도가 증가함에 따라 정보 기억을 위한 기본 단위인 메모리 셀의 면적이 급격하게 축소되고 있다.

<20> 이러한 메모리 셀 면적의 축소는 셀 캐패시터의 면적 감소를 수반하여, 센싱 마진과 센싱 속도를 떨어뜨리고, a-입자에 의한 소프트 에러(Soft Error)에 대한 내구성이

저하되는 문제점을 유발하게 된다. 따라서, 제한된 셀 면적에서 충분한 정전용량을 확보할 수 있는 방안이 필요하게 되었다.

<21> 캐패시터의 정전용량(C)은 하기의 수학식 1과 같이 정의된다.

<22> 【수학식 1】 $C = \epsilon \cdot As/d$

<23> 여기서, ϵ 은 유전률, As는 전극의 유효 표면적, d는 전극간 거리를 각각 나타낸 것이다.

<24> 따라서, 캐패시터의 정전용량을 늘리기 위해서는 전극의 표면적을 넓히거나, 유전체 박막의 두께를 줄이거나, 유전률을 높여야 한다.

<25> 이 중에서 전극의 표면적을 넓히는 방안이 제일 먼저 고려되어 왔다. 컨케이브 구조, 실린더 구조, 다층 펀 구조 등과 같은 3차원 구조의 캐패시터는 모두 제한된 레이아웃 면적에서 전극의 유효 표면적을 증대시키기 위하여 제안된 것이다.

<26> 도1a 및 도1b는 종래기술에 의한 실린더형 캐패시터 제조방법을 나타내는 공정단면도이다.

<27> 먼저 도1a에 도시된 바와 같이, 활성영역(11)이 형성된 반도체기판(10)상에 층간절연막(12)을 형성한 후, 층간절연막(12)을 관통하여 반도체기판(10)의 활성영역(11)과 연결되는 콘택홀을 형성한다. 콘택홀을 도전성 물질로 매립하여 콘택플러그(13)를 형성한다. 이어서 캐패시터가 형성될 크기만큼 캐패시터 형성용 희생막(14)을 형성한다.

<28> 이어서, 캐패시터가 형성될 영역의 캐패시터 형성용 희생막(14)을 선택적으로 제거하여 캐패시터홀(15)을 형성한다. 여기서 캐패시터 형성용 희생막(14)은 후속 하부전극을 형성하도록 하는 공정에서 거푸집역할을 한다.

<29> 이어서 도1b에 도시된 바와 같이, 캐패시터 형성용 희생막(14)을 습식식각공정으로 제거한다. 이어서 하부전극(16) 상부에 유전체 박막(17)을 형성하고, 유전체 박막(17) 상부에 상부전극을 형성한다.

<30> 반도체 장치가 점점 더 고집적화 되면서, 캐패시터를 형성할 면적은 점점 더 줄어 들고 있으나, 반도체 장치의 안정적인 동작을 위해서 일정한 캐패시턴스가 요구되고 있는 실정이다. 따라서 전술한 바와 같이 반도체 장치의 캐패시터 하부전극을 3차원 실린더형으로 제조하여 표면적을 증대시키고 있다.

<31> 그러나, 하부전극을 형성할 면적은 점점 더 줄어드는 반면, 높이는 더 높아져서 안정적으로 하부전극을 형성하기가 이웃한 하부전극이 서로 붙어서 에러를 유발시키고 있다.

<32> 실린더형 캐패시터는 하부전극의 안쪽과 바깥쪽 모두를 사용할 수 있기 때문에, 전하를 저장할 수 있는 면적이 2배로 넓어지게 되어 원하는 캐패시턴스를 쉽게 확보할 수 있다는 장점이 있다. 그러나 하부전극의 바깥쪽 부분을 사용하기 위하여, 캐패시터 형성용 희생막을 제거하는 공정에서 하부전극의 지지기반이 부족한 상태에서 서로간에 붙을 가능성이 존재한다.

<33> 도2는 종래기술에 의해 문제점을 나타내는 전자현미경 사진이다.

<34> 도2를 참조하여 살펴보면, 하부전극을 캐패시터 형성용 홀 내부에 형성한 다음, 캐패시터 형성용 희생막을 제거하였을 때에 하부전극간에 서로 붙어서 에러가 유발된 것을 나타내고 있다.(A 영역참조)

<35> 이를 해결하기 위해 실린더형 캐패시터 하부전극의 하부를 상부보다 넓게 형성하는 방법이 제안되었다.

<36> 도3a 및 도3b는 개선된 종래기술에 의한 실린더형 캐패시터 제조방법을 나타내는 공정단면도이다.

<37> 먼저 도3a에 도시된 바와 같이, 활성영역(11)이 형성된 반도체기판(10)상에 충간절연막(12)을 형성한 후, 충간절연막(12)을 관통하여 반도체기판(10)의 활성영역(11)과 연결되는 콘택홀을 형성한다. 콘택홀을 도전성 물질로 매립하여 콘택플러그(13)를 형성한다. 이어서 캐패시터가 형성될 크기만큼 제1 캐패시터 형성용 희생막(19)과 제2 캐패시터 형성용 희생막(20)을 형성한다. 이 때 제1 캐패시터 형성용 희생막(19)은 PSG(Phospho-Silicate Glass)막을 사용하고, 제2 캐패시터 형성용 희생막(20)은 TEOS(Tetraethylorthosilicate)막을 사용하게 된다.

<38> 이어서 제1 및 제2 캐패시터 형성용 희생막을 선택적으로 식각하여 콘택플러그(13)이 노출되도록 캐패시터 형성용 홀(21)을 형성한다. 이 때 형성되는 캐패시터 형성용 홀(21)은 PSG막이 있는 하단부는 넓게 TEOS막이 있는 상단부는 좁게 형성된다. 이는 TEOS막이 PSG막보다 습식식각비가 느리기 때문이다.

<39> 캐패시터 형성용 홀은 한번의 습식식각공정으로 형성하거나, 또는 먼저 제1 및 제2 캐패시터 형성용 희생막을 건식식각공정을 이용하여 선택적으로 제거한 후에, 습식식각공정을 이용하여 제2 캐패시터 형성용 희생막 부분만을 추가적으로 식각하여 형성할 수도 있다.

<40> 이어서 캐패시터 형성용 홀(21)의 내부에 하부전극(22)을 형성한다.

<41> 이어서 도3b에 도시된 바와 같이, 제1 및 제2 캐패시터 형성용 희생막(19,20)을 제거한다. 이어서 하부전극(22)상에 유전체 박막(23)을 형성하고, 그 상부에 상부전극(24)를 형성한다.

<42> 도4a는 개선된 종래기술에 의해 형성된 캐패시터 형성용 홀의 단면을 나타내는 전자현미경 사진이고, 도4b는 도4a의 하단부를 확대하여 나타낸 것이다.

<43> 도4b를 참조하여 살펴보면, PSG막이 있는 부분에서는 넓게, TEOS막이 있는 부분에서는 좁게 캐패시터 형성용 홀이 형성된 것을 알 수 있다.

<44> 그러나 개선된 종래기술을 사용하여 캐패시터를 형성하게 되면 캐패시터형성용 희생막을 2개의 층으로 형성해야 하기 때문에 공정이 증가하게 된다.

<45> 또한, 첫번째 희생막으로 사용되는 PSG막이 수분을 쉽게 흡수하는 성질을 가지고 있기 때문에 캐패시터 형성용 홀을 형성하는 습식식각공정에서 부피가 증가되어 상단에 둔덕이 생기는 문제점이 제기되고 있다. 즉, 하부에 PSG막을 사용하게 됨에 따라 캐패시터 형성용 홀을 형성하고 나서 TEOS막의 상단부분이 평탄화되지 않는 것이다. 이를 해결하기 위해 화학적기계적연마공정을 추가적으로 실시하기도 하나, 이는 추가적은 비용 및 제조시간이 증가되는 문제점을 가지게 된다.

<46> 도5는 개선된 종래기술의 문제점을 나타내는 전자현미경 사진으로서, 캐패시터 형성용 홀의 형성하고 난뒤에 부분적으로 둔덕이 생긴 것을 알 수 있다.(B 영역참조)

【발명이 이루고자 하는 기술적 과제】

<47> 본 발명은 상기의 문제점을 해결하기 위해 제안된 것으로, 하나의 캐패시터 형성용 희생막을 사용하여 구조적으로 안정한 형상의 하부전극을 제조할 수 있는 캐패시터 제조방법을 제공함을 목적으로 한다.

【발명의 구성 및 작용】

<48> 상기의 목적을 달성하기 위한 본 발명은 기판상에 캐패시터가 형성될 높이만큼 -플라즈마인핸스 화학기상증착법을 이용하여 높이가 높아질수록 식각선택비가 낮아지도록- 캐패시터 형성용 희생막을 형성하는 단계; 습식식각공정을 이용하여 캐패시터가 형성될 영역의 상기 캐패시터 형성용 희생막을 선택적으로 제거하여 캐패시터 형성용 홀을 형성하는 단계; 상기 캐패시터 형성용 홀의 내부에 하부전극을 형성하는 단계; 상기 캐패시터 형성용 희생막을 제거하는 단계; 상기 하부전극 상에 유전체 박막을 형성하는 단계; 및 상기 유전체 박막상에 상부전극을 형성하는 단계를 포함하는 반도체 장치의 캐패시터 제조방법을 제공한다.

<49> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부된 도면을 참조하여 설명하기로 한다.

<50> 도6a 내지 도6c는 본 발명에 의한 바람직한 실시예에 따른 실린더형 캐패시터 제조 방법을 나타내는 도면이다.

<51> 먼저 도6a에 도시된 바와 같이, 활성영역(31)이 형성된 반도체기판(30)상에 층간절연막(32)을 형성한 후, 층간절연막(32)을 관통하여 반도체기판(30)의 활성영역(31)과 연결되는 콘택홀을 형성한다. 콘택홀을 도전설 물질로 매립하여 콘택플러그(33)를 형성한다. 층간절연막(32)은 USG(Undoped-Silicate Glass), PSG(Phospho-Silicate Glass), BPSG(Boro-Phospho-Silicate Glass), HDP(High density Plasma) 산화막, SOG(Spin On Glass)막, TEOS(Tetra Ethyl Ortho Silicate)막 또는 HDP(high density plasma)를 이용한 산화막등을 사용하거나 열 산화막(Thermal Oxide; 퍼니스에서 600~1,100°C사이의 고온으로 실리콘 기판을 산화시켜 형성하는 막)으로 형성할 수 있다.

<52> 이어서 캐패시터가 형성될 높이만큼 캐패시터 형성용 희생막(34)을 TEOS막을 사용하여 플라즈마 인핸스드 화학적기상증착법(Plasma enhance CVD)방법을 이용하여 1000 ~ 25000Å 범위로 형성한다.

<53> 이 때 TEOS막은 형성공정조건을 2단계로 나누어서 형성하는데, 첫번째 TEOS막(34a)막은 PSG막과 물성적으로 비슷하게 되도록 공정조건을 조절하고, 두번째 TEOS막(34b)은 통상적인 공정조건으로 조절한다.

<54> 캐패시터 형성용 희생막을 플라즈마 인핸스드 화학적기상증착법으로 형성할 때 공정을 변화시키면 식각선택비를 조절하여 증착할 수 있는데, 본 실시예에서는 상기의 공정에 가장 적합한 TEOS막을 이용한다.

<55> 도7에는 TEOS막에 대해서 공정조건에 따라 습식식각비(WER:Wet Etch Rate)와 증착비(Dep rate)가 도시되어 있다. 도7에 도시된 바와 같이, RF 파워(RF power)와, O₂ 플로우양과(O₂ flow), 기판과 쇼우헤드(Shower head) 사이의 거리(Spacing)에 따라 습식식각비가 달라진다.

<56> 이러한 공정조건을 동시에 조절하게 되면 같은 TEOS막이라 하더라도 습식식각비가 최대 3배이상 차이가 나게 되는 것이다. 즉, RF 파워는 낮게하고, O_2 플로우양은 적게, 기판과 쇼우해드 사이의 거리를 크게하여 TEOS막을 형성하게 되면, 형성된 TEOS막의 습식식각선택비는 높아지고, RF 파워는 높게하고, O_2 플로우양은 많이, 기판과 쇼우해드 사이의 거리를 작게하여 TEOS막을 형성하게 되면, TEOS막의 습식식각선택비는 낮게된다.

<57> 따라서 캐패시터 형성용 희생막(34)으로 TEOS막를 형성할 때에 첫번째 TEOS막(34a)은 공정조건을 조절하여 습식식각선택비가 높게 형성하고, 두번째 TEOS막(34b)은 공정조건을 조절하여 습식식각선택비가 낮게 형성한 후에, 캐패시터 형성용 홀을 형성하게 되면 캐패시터 형성용 홀의 하단은 넓게, 상단은 좁게 형성할 수 있는 것이다.

<58> 여기서 첫번째 TEOS막(34a)는 $3000\sim15000\text{\AA}$ 범위로 형성하고, 두번째 TEOS막(34b)은 $5000\sim20000\text{\AA}$ 범위로 형성한다.

<59> 또한 캐패시터 형성용 희생막(34)으로 TEOS막을 형성할 때에 공정조건을 3단계이상으로 조절하면서 증착하여, 증착된 TEOS막의 습식식각 선택비를 다양하게 하면서 증착할 수 있다. 이는 형성될 캐패시터 형성용 홀의 형태에 따라 조절할 수 있는 것이다.

<60> 이어서 도6b에 도시된 바와 같이, 콘택플러그(33)이 노출되도록 캐패시터 형성용 희생막을 선택적으로 제거하여 캐패시터 형성용 홀(35)을 형성한다.

<61> 이어서 캐패시터 형성용 홀(35)의 내부에 도전성막으로 하부전극(36)을 형성한다. 하부전극은 도전성 실리콘막이나 텅스텐, 텅스텐질화막, 이리듐, 이리듐산화막, 루테늄, 루테늄산화막, 백금막, 티타늄질화막등을 사용한다.

<62> 이어서 도6c에 도시된 바와 같이, 습식식각공정등을 이용하여 캐패시터 형성용 희생막(34)를 제거한다. 이어서 하부전극(36)상에 유전체 박막(37)을 형성하고 그 상부에 상부전극(38)을 형성한다.

<63> 전술한바와 같이. 캐패시터를 제조하게되면, 하나의 TEOS막을 이용하여 종래에 PSG 막/TEOS막의 2단계로 캐패시터 형성용 희생막을 형성할때와 같이 안정적으로 캐패시터를 형성할 수 있다. 또한 습식식각공정에서 수분흡수으로 둔덕을 발생시키는 PSG막을 사용 하지 않음으로서 둔덕현상을 제거할 수 있다.

<64> 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

【발명의 효과】

<65> 본 발명에 따라 캐패시터를 형성하면 하부전극의 형성 신뢰성을 높임으로 반도체 장치의 캐패시터 제조공정의 신뢰성 향상과 비용을 절감할 수 있다.

【특허청구범위】**【청구항 1】**

기판상에 캐패시터가 형성될 높이만큼 -플라즈마인핸스 화학기상증착법을 이용하여 높이가 높아질수록 식각선택비가 낮아지도록- 캐패시터 형성용 희생막을 형성하는 단계; 습식식각공정을 이용하여 캐패시터가 형성될 영역의 상기 캐패시터 형성용 희생막을 선택적으로 제거하여 캐패시터 형성용 홀을 형성하는 단계; 상기 캐패시터 형성용 홀의 내부에 하부전극을 형성하는 단계; 상기 캐패시터 형성용 희생막을 제거하는 단계; 상기 하부전극 상에 유전체 박막을 형성하는 단계; 및 상기 유전체 박막상에 상부전극을 형성하는 단계를 포함하는 반도체 장치의 캐패시터 제조방법.

【청구항 2】

제 1 항에 있어서,

상기 캐패시터 형성용 희생막은 TEOS막인 것을 특징으로 하는 반도체 장치의 캐패시터 제조방법.

【청구항 3】

제 2 항에 있어서,

상기 캐패시터 형성용 희생막은,

RF 파워, O_2 플로우양과, 기판과 쇼우해드사이의 거리를 조절하여 형성되는 캐패시터 형성용 희생막의 높이가 높아질수록 습식식각선택비가 증가되는 것을 특징으로 하는 반도체 장치의 캐패시터 제조방법.

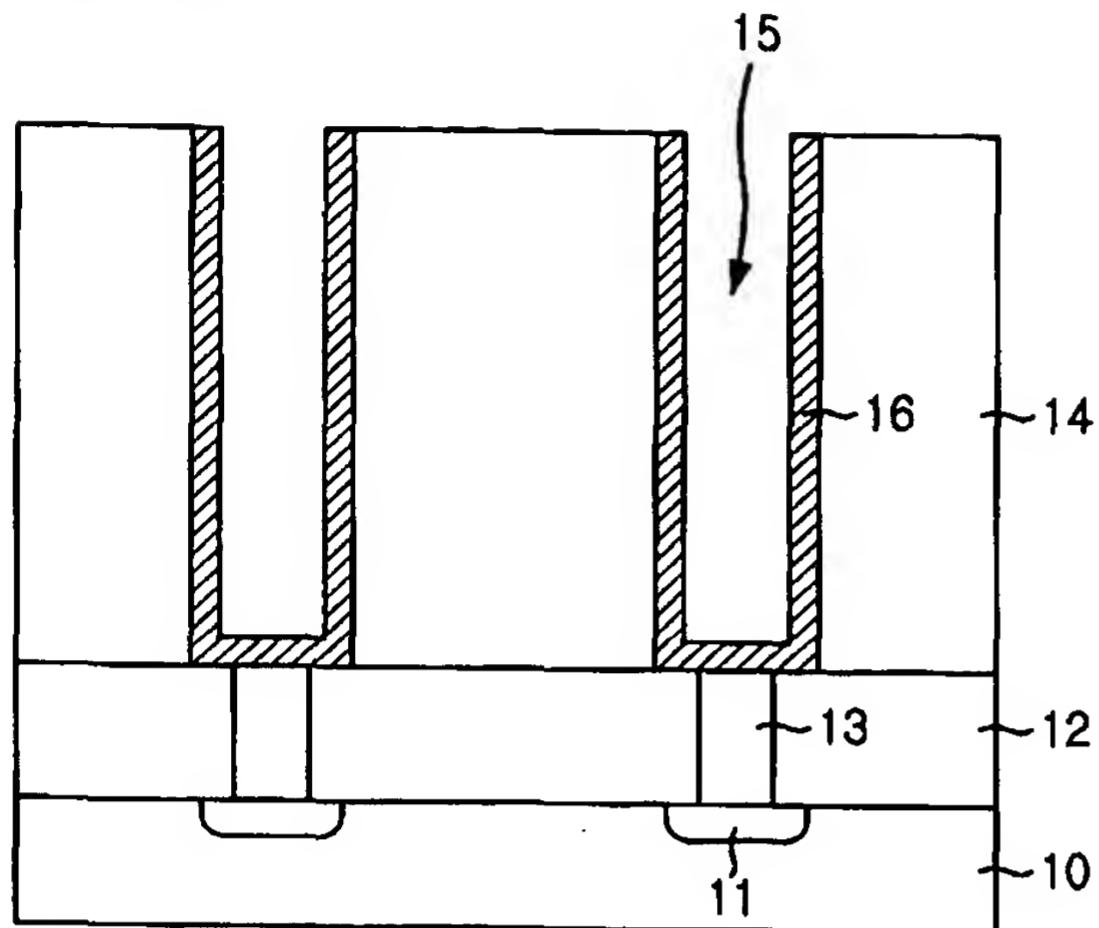
【청구항 4】

제 3 항에 있어서,

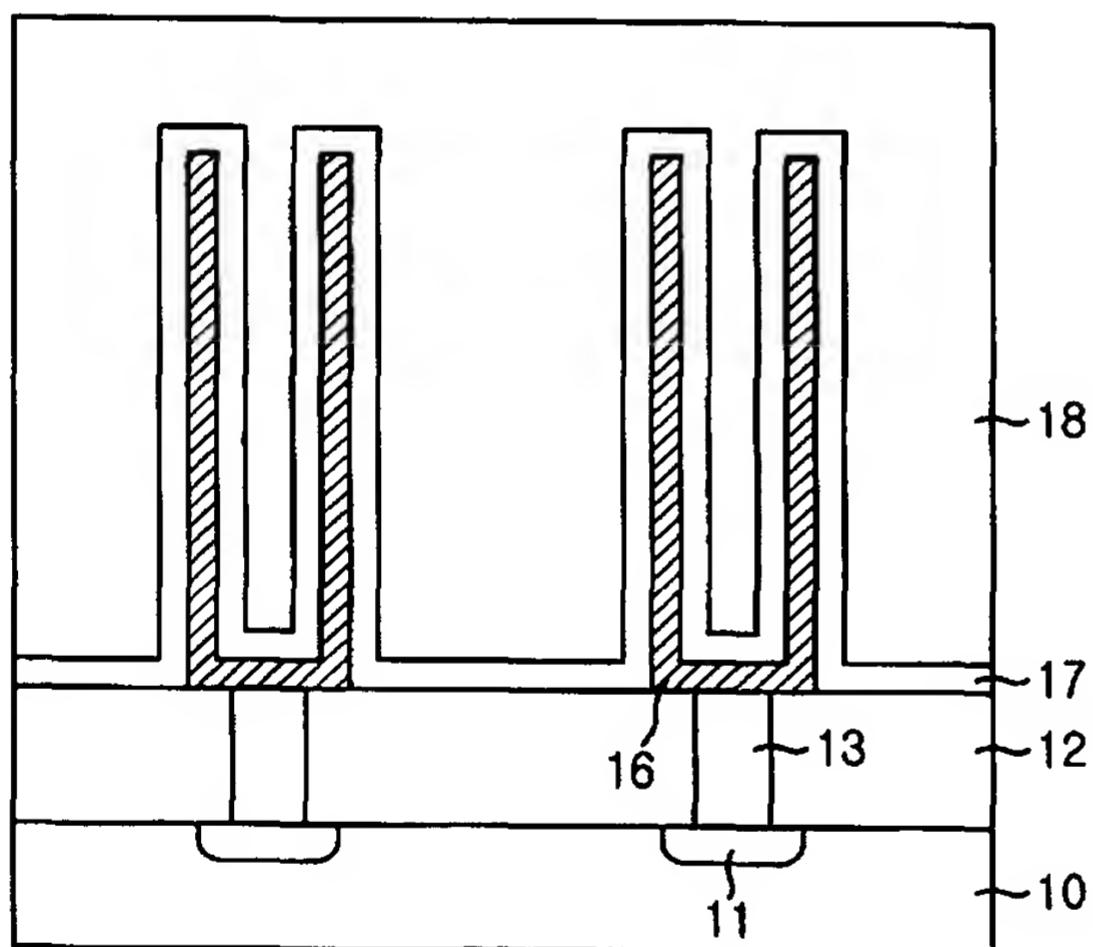
상기 캐패시터 형성용 희생막의 10000~ 25000 Å 사이의 두께로 증착하는것을 특징으로 하는 반도체 장치의 캐패시터 제조방법.

【도면】

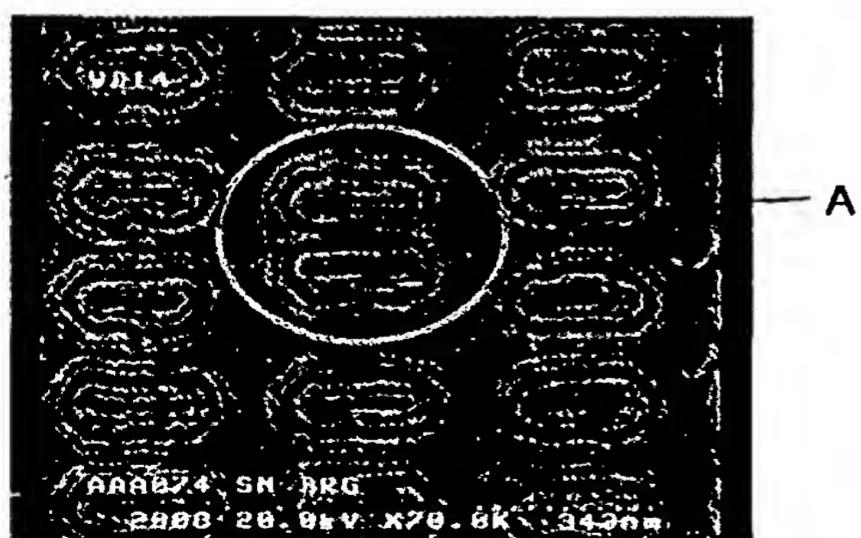
【도 1a】



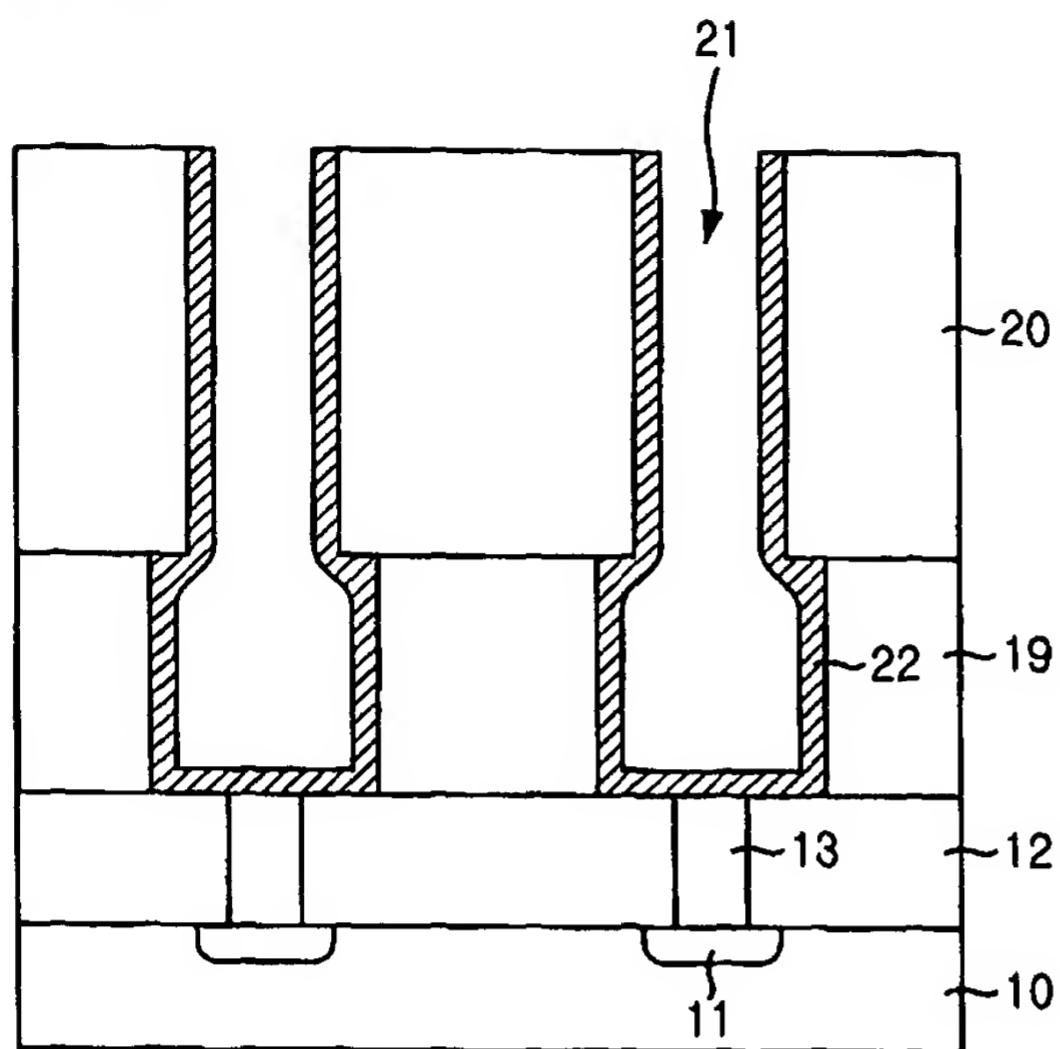
【도 1b】



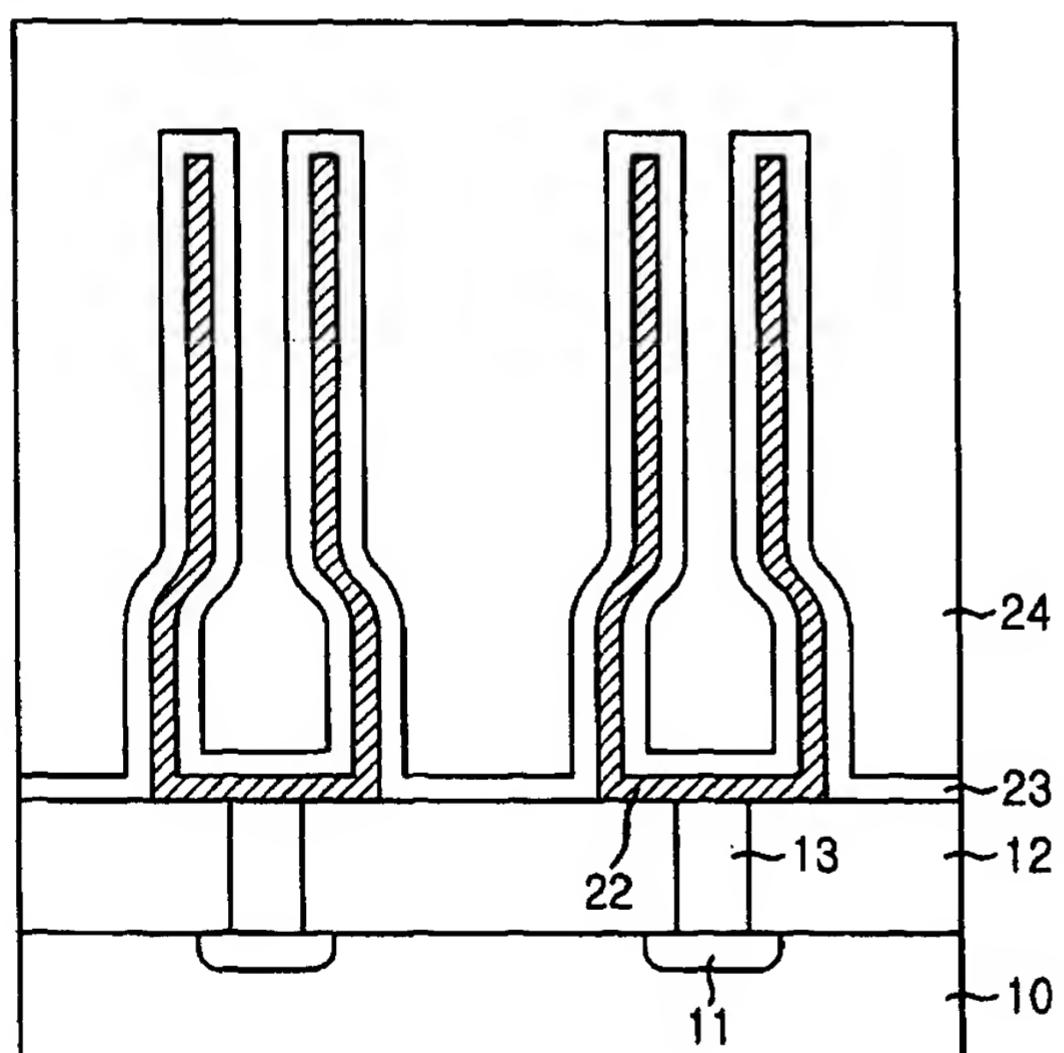
【도 2】



【도 3a】



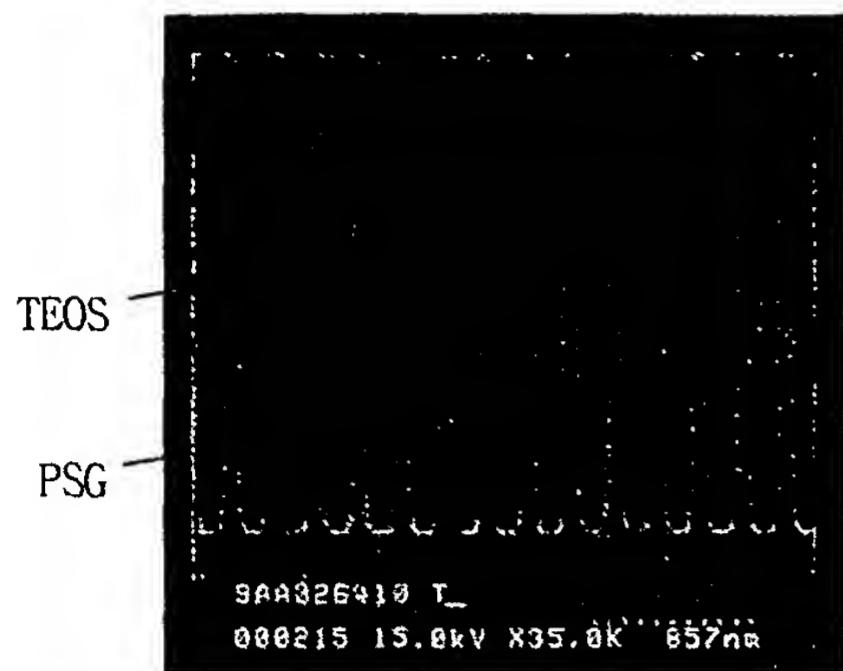
【도 3b】



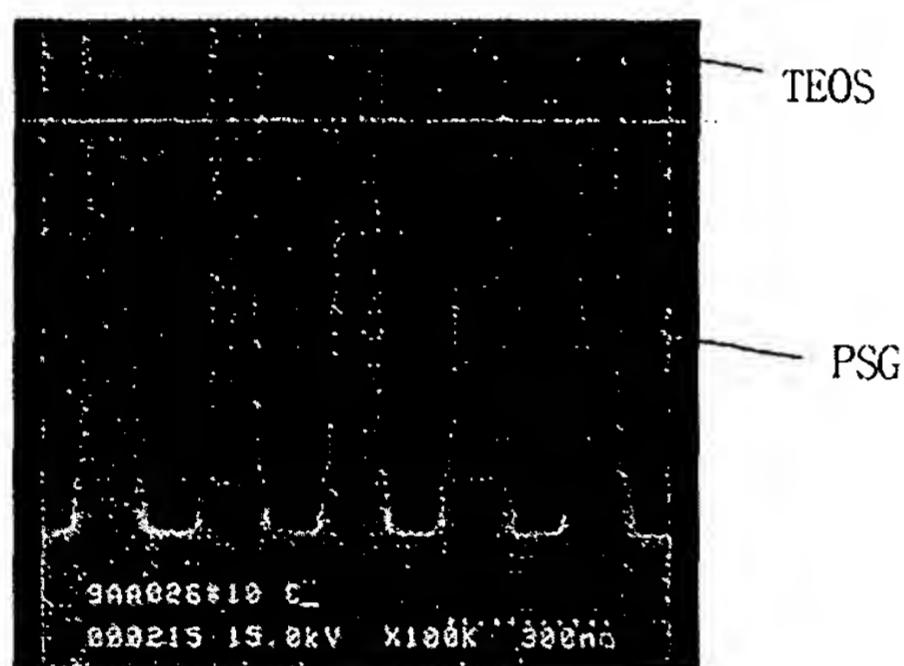
1020020086253

출력 일자: 2003/5/15

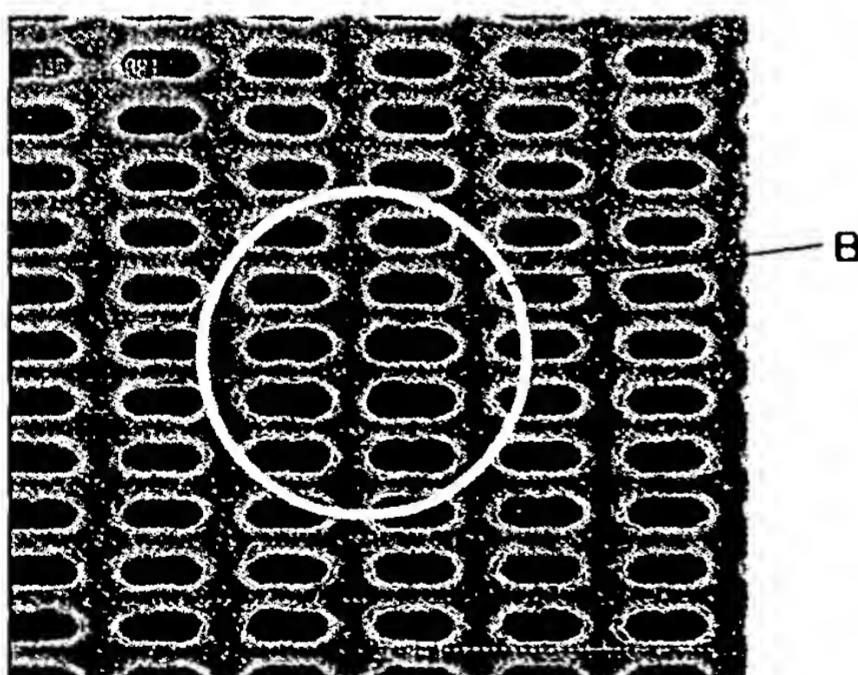
【도 4a】



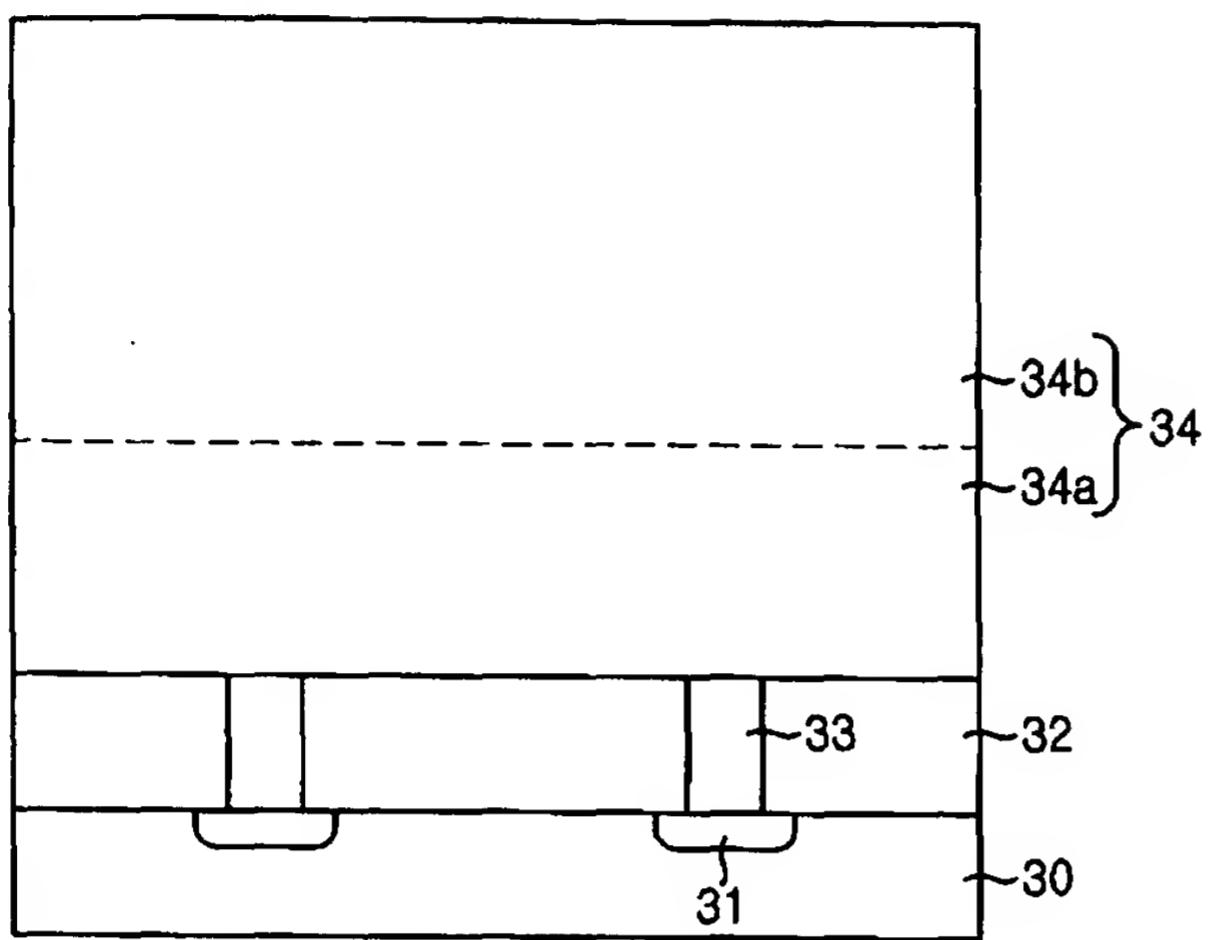
【도 4b】



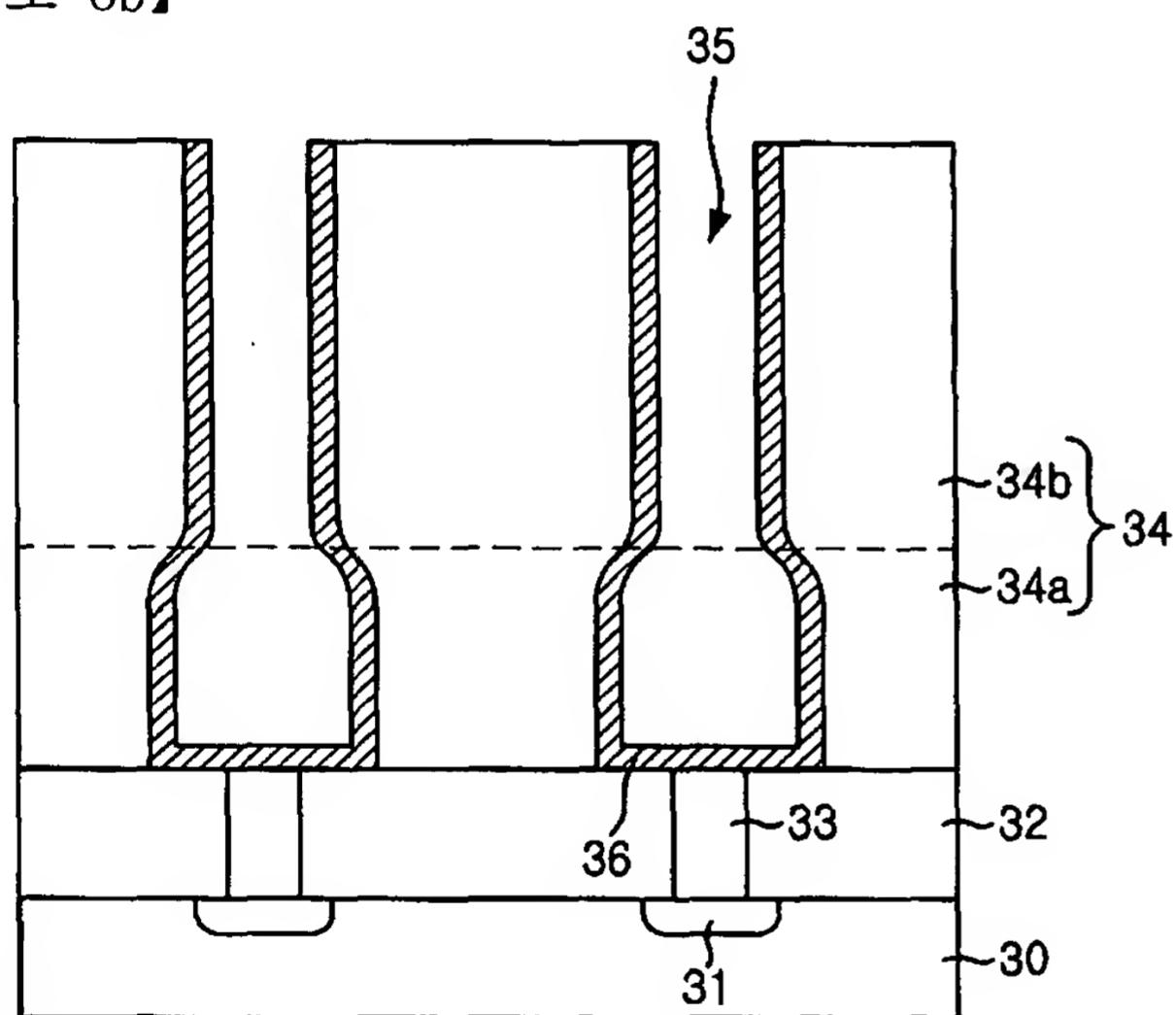
【도 5】



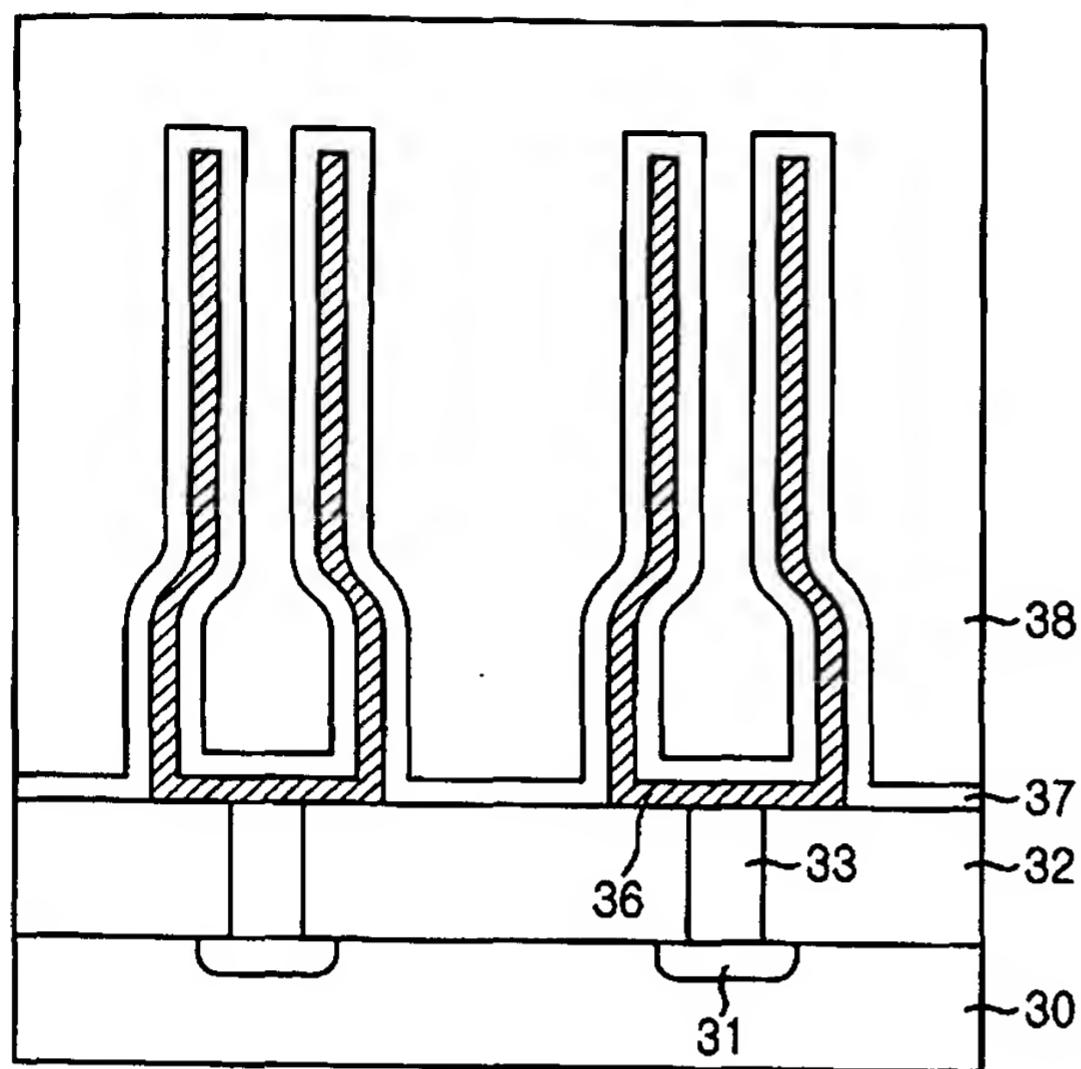
【도 6a】



【도 6b】



【도 6c】



【도 7】

